

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-014269

(43)Date of publication of application : 19.01.2001

(51)Int.Cl. G06F 13/36

G06F 13/38

(21)Application number : 11-183919 (71)Applicant : TOSHIBA CORP

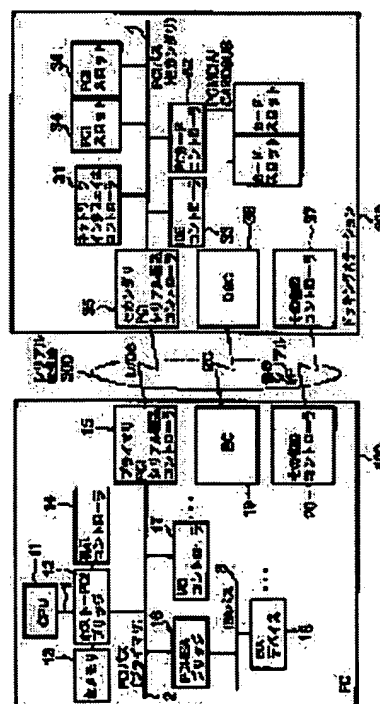
(22)Date of filing : 29.06.1999 (72)Inventor : NAKAMURA NOBUTAKA

(54) COMPUTER SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To connect a computer main body to the bus of an extension unit via a serial interface and to make realizable the turning of the connection wiring into a serial cable.

SOLUTION: A PCI(peripheral component interconnect)-PCI bridge which connects a primary PCI bus 2 to a secondary PCI bus 4 consists of two physically different controllers, i.e., a primary PCI serial transfer controller 15 which is placed on the PC(personal computer) main body 100 side and a secondary PCI serial transfer controller 35 which is placed on the docking station 200 side. Both controllers 15 and 35 are connected together via a serial LVDS(low voltage differential signal) line. The transfer of a transaction is attained between both buses 2 and 4 via the serial transfer that is carried out between the controllers 15 and 35.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

Best Available Copy

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-14269

(P2001-14269A)

(43) 公開日 平成13年1月19日 (2001.1.19)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード [*] (参考)
G 0 6 F 13/36	3 1 0	G 0 6 F 13/36	3 1 0 Z 5 B 0 6 1
13/38	3 5 0	13/38	3 5 0 5 B 0 7 7

審査請求 未請求 請求項の数12 O L (全 16 頁)

(21) 出願番号 特願平11-183919

(22) 出願日 平成11年6月29日 (1999. 6. 29)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 中村 伸隆

東京都青梅市末広町2丁目9番地 株式会
社東芝青梅工場内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

Fターム (参考) 5B061 AA00 FF04 GG02 GG06 SS01

5B077 AA13 AA41 FF12 GG02 HH03

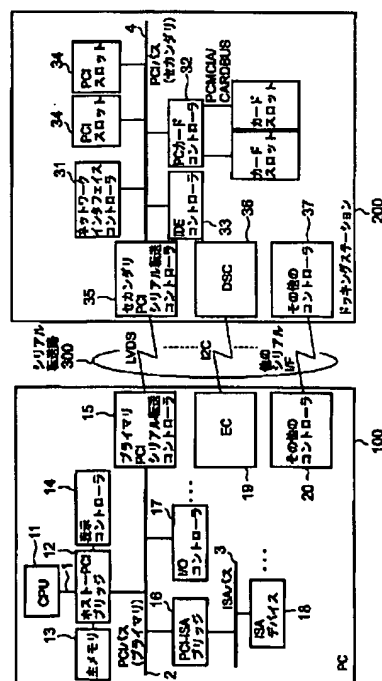
NN02

(54) 【発明の名称】 コンピュータシステム

(57) 【要約】

【課題】 コンピュータ本体と拡張ユニットのバスをシリアルインターフェイスによって接続し、接続配線のシリアルケーブル化を実現する。

【解決手段】 プライマリPCIバス2とセカンダリPCIバス4間をつなぐPCI-PCIブリッジは、PC本体100側に配されたプライマリPCIシリアル転送コントローラ15と、ドッキングステーション200側に配されたセカンダリPCIシリアル転送コントローラ35との2つの物理的に異なるコントローラから構成される。両コントローラコントローラ15、35間はシリアルLVDS線路によって接続されている。プライマリPCIバス2とセカンダリPCIバス4間のトランザクションの受け渡しは、プライマリPCIシリアル転送コントローラ15とセカンダリPCIシリアル転送コントローラ35との間のシリアル転送によって実現される。



【特許請求の範囲】

【請求項1】 複数ビット幅の並列伝送路からそれぞれ構成された第1および第2のバスと、

前記第1および第2の一方のバス上のデバイスが他方のバス上のデバイスをアクセスできるように、前記第1のバスと前記第2のバス間を接続するブリッジ装置とを具備し、

前記ブリッジ装置は、

前記第1および第2のバスにそれぞれ接続された物理的に異なる第1および第2のコントローラから構成されており、前記第1および第2のコントローラは、その間に配置されたシリアル伝送路を介したシリアル転送によって、前記第1および第2の一方のバスから他方のバスへのトランザクションの伝達に必要なコマンド、アドレス、およびデータの受け渡しを行うことを特徴とするコンピュータシステム。

【請求項2】 前記第1および第2のコントローラはそれぞれの動作環境を示す第1および第2のコンフィグレーションレジスタを有しており、前記第1および第2のコンフィグレーションレジスタには互いに同一の環境設定情報が設定されていることを特徴とする請求項1記載のコンピュータシステム。

【請求項3】 前記シリアル伝送路は少なくとも1つの差動信号線対を含み、各差動信号線対にはトランスが挿入されていることを特徴とする請求項1記載のコンピュータシステム。

【請求項4】 前記第1および第2の各コントローラは、前記第1および第2の対応する一方のバス上から他方のバスへトランザクションを伝達するために必要な情報をパラレルデータからシリアルデータに変換する手段と、シリアルデータを構成する各2値データを、前記トランスに正方向の電流が流れる第1の状態と、前記トランスに負方向の電流が流れる第2の状態と、前記トランスに電流が流れない第3の状態とを含む3値データに変換して、前記差動信号線対上に出力量する手段とを含むことを特徴とする請求項3記載のコンピュータシステム。

【請求項5】 前記第1および第2の各コントローラは、前記差動信号線対上の3値データを検出し、その検出した3値データを2値データに変換する手段と、変換された2値データから構成されるシリアルデータを、前記第2のバス上に出力量するために必要なパラレルデータに変換する手段とを含むことを特徴とする請求項4記載のコンピュータシステム。

【請求項6】 前記第1および第2の各コントローラは、前記第1および第2の対応する一方のバス上から他方のバスへトランザクションを伝達するために必要な情報をnビットの情報ワード単位でmビット ($m > n$) の符号

列に符号化する手段と、

前記mビット ($m > n$) の符号列をシリアルデータに変換して前記差動信号線対上に出力量する手段とを含むことを特徴とする請求項3記載のコンピュータシステム。

【請求項7】 前記第1および第2の各コントローラは、前記差動信号線対上に出力量されるシリアルデータを受信し、mビット ($m > n$) の符号列をnビットの情報ワードに復号する手段と、

復号されたnビットの情報ワードを前記第2のバス上に出力量するために必要なパラレルデータに変換する手段とを含むことを特徴とする請求項6記載のコンピュータシステム。

【請求項8】 前記第1および第2の各コントローラは、前記第1および第2の対応する一方のバス上のデバイスと同一の第1クロックに同期して動作し、前記対応するバスとの間でトランザクションを授受するバスインターフェイス手段と、

前記第1クロックとは非同期の第2クロックに同期して動作し、前記シリアル伝送を介したシリアル転送を実行するシリアル転送手段とを含むことを特徴とする請求項1記載のコンピュータシステム。

【請求項9】 前記第1のコントローラは、前記第1のバスとの間でトランザクションを授受する第1のバスインターフェイス手段を含み、前記第2のコントローラは、前記第2のバスとの間でトランザクションを授受する第2のバスインターフェイス手段を含み、

前記第1のバスインターフェイス手段と前記第2のバスインターフェイス手段は互いに非同期の第1及び第2のクロックに同期して動作することを特徴とする請求項1記載のコンピュータシステム。

【請求項10】 前記シリアル伝送路は、信号伝送方向が互いに逆向きの少なくとも1組の単方向シリアル伝送線路を含む全二重通信線路から構成されており、前記各単方向シリアル伝送線路は、前記コマンド、アドレス、およびデータをシリアル転送するためのシリアルデータ線と、それに対応するクロック信号を転送するためのクロック信号線とを含むことを特徴とする請求項1記載のコンピュータシステム。

【請求項11】 コンピュータ本体にその機能拡張用の拡張ユニットを接続可能なコンピュータシステムにおいて、前記コンピュータ本体内に設けられ、複数ビット幅の並列伝送路から構成される第1のバスと、前記拡張ユニット内に設けられ、多ビット幅の並列伝送路から構成される第2のバスと、前記第1のバスと前記第2のバスとの間を、シリアル伝送路によって接続するバス接続手段であって、前記第1

および第2の一方のバスから他方のバスへのトランザクションの伝達に必要なコマンド、アドレス、およびデータの受け渡しを、前記シリアル伝送路を介したシリアル転送によって実行するバス接続手段とを具備することを特徴とするコンピュータシステム。

【請求項12】 多ビット幅の並列伝送路からそれぞれ構成され、同一のトランザクションプロトコルが実行される第1および第2のバスと、

前記第1のバスに接続され、前記第1のバスとの間でトランザクションを授受する第1のバスインターフェイス手段と、

前記第2のバスに接続され、前記第2のバスとの間でトランザクションを授受する第2のバスインターフェイス手段と、

前記第1のバスインターフェイス手段と前記第2のバスインターフェイス手段との間に配置され、前記第1および第2のバスとは非同期のシリアルデータ転送が実行されるシリアル伝送路と、

前記第1のバスインターフェイス手段と前記シリアル伝送路との間に設けられ、前記第1のバスから前記第2のバスへのトランザクションの伝達に必要な情報をパラレルデータからシリアルデータに変換して前記シリアル伝送路上に出力する手段と、

前記シリアル伝送路と前記第2のバスインターフェイス手段との間に設けられ、前記シリアル伝送路を介してシリアルデータを受信し、そのシリアルデータをパラレルデータに変換して前記第2のバスインターフェイス手段に出力する手段とを具備することを特徴とするコンピュータシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はコンピュータシステムに関し、特に2つのバス間をシリアル伝送路によって接続するように改良されたコンピュータシステムに関する。

【0002】

【従来の技術】 近年、携行が容易でバッテリーにより動作可能なノートブックタイプのパーソナルコンピュータ（以下、ノートPCと称する）が種々開発されている。ノートPCの中には、その機能拡張のために、拡張ユニットに必要に応じて装着できるように構成されているものがある。ノートPC本体から拡張ユニットのリソースを有効利用できるようにするためには、ノートPC本体のバスと拡張ユニット内のバスとを接続することが重要である。このバス接続により、拡張ユニット内のバス上のデバイスをノートPC本体内のデバイスと同様に扱うことが可能になる。

【0003】 多くのパーソナルコンピュータでは、PCIバス（Peripheral Component Interconnect Bus）が使用されている。したがって、ノートPC本体と拡張ユ

ニットとの間のバス接続は、PCIバスの信号線群の数に相当する多数のピンを有するドッキング用コネクタをノートPC本体側と拡張ユニット側にそれぞれ設け、そのドッキング用コネクタを介して両者のPCIバスを物理的に接続することによって行うのが通常である。

【0004】 しかし、この構成では、ドッキング用コネクタの実装に多くの面積が必要とされるため、ノートPC本体の小型化・薄型化を図る上では不利である。さらに、ノートPC本体側と拡張ユニット側それぞれのコネクタ実装位置を合わせなければならないため、新たな製品開発を行う上では、物理的な筐体構造に制約が加わることになる。

【0005】 文献（USP5, 457, 785号公報、USP5, 579, 489号公報、USP5, 619, 659号公報）には、PC本体の標準パラレル・ポートを利用して、PC本体と拡張ユニット間をケーブルで接続する技術が開示されている。PC本体の標準パラレル・ポートを介してPC本体にケーブルでつながれた拡張装置の中にISAバスを作り、PC本体内のISAバスの信号状態を翻訳する回路を用いて拡張装置内のISAバスに、PC内のISAバスと同じ動作をさせるというものである。

【0006】 さらに、文献（USP5, 822, 571号公報）には、フラットケーブルで1次側のPCIバスと2次側のPCIバスをつないで、PCIバスをPC本体から別筐体へ伸ばす構成と、ケーブルでの伝送遅れに対処するためのクロック同期の方法が開示されている。

【0007】

【発明が解決しようとする課題】 しかし、これら従来のケーブル接続方法では、ケーブルを通してデータを並列転送しているので、ケーブルの中の信号線数が多い。そのために、

- 1) ケーブルが太くなり、扱いにくい、またコストが高い
- 2) ケーブル接続用のコネクタのピン数が多くなり、コストが高い、また、小型化の障害になるという問題が生じる。

【0008】 また、一般に、システムボード上においては、複数のPCIバス間を接続する場合にはPCI-PCIブリッジが使用されている。PCI-PCIブリッジはプライマリPCIバスとセカンダリPCIバスを双方向で接続するLSIであり、プライマリPCIバス上のデバイスがセカンダリPCIバス上のデバイスをアクセスすること、およびその逆、を可能にする。このPCI-PCIブリッジをケーブルの両端にそれぞれ設けて、ノートPC本体のPCIバスと拡張ユニット内のPCIバスとの接続に使用することも考えられる。しかし、このような構成では、ケーブルの部分もPCI規格というPCIバス（個別のバス番号が与えられたバス）となり、ソフトウェアから見たとき、併せて3個のPC

Iバスを管理することが必要となる。ノートPC本体と拡張ユニット間をつなぐケーブル上にPCIデバイスが接続されることはないので、ケーブルにバス番号を与えることはリソースの無駄使いとなると共に、ソフトウェアによるリソース管理をいたずらに複雑化する原因ともなる。

【0009】本発明は上述の事情に鑑みてなされたものであり、コンピュータ本体と拡張ユニットとの間をより信号線数の少ないケーブルで接続でき、且つケーブルへの無駄なリソース割り当てが不要な新たなバス接続形式を実現し、機能拡張性および筐体構造の柔軟性に優れたコンピュータシステムを提供することを目的とする。

【0010】

【課題を解決するための手段】上述の課題を解決するため、本発明のコンピュータシステムは、複数ビット幅の並列伝送路からそれぞれ構成された第1および第2のバスと、前記第1および第2の一方のバス上のデバイスが他方のバス上のデバイスをアクセスできるように、前記第1のバスと前記第2のバス間を双方向で接続するブリッジ装置とを具備し、前記ブリッジ装置は、前記第1および第2のバスにそれぞれ接続された物理的に異なる第1および第2のコントローラから構成されており、前記第1および第2のコントローラは、その間に配置されたシリアル伝送路を介したシリアル転送によって、前記第1および第2の一方のバスから他方のバスへのトランザクションの伝達に必要なコマンド、アドレス、およびデータの受け渡しを行うことを特徴とする。

【0011】このコンピュータシステムにおいては、第1および第2の2つのバス間を接続するためのブリッジ装置を物理的に異なる2つのコントローラに分割し、両者の間をシリアル伝送路で結んでいる。このシリアル伝送路を介したシリアル転送によって、バス間のトランザクションの伝達に必要なコマンド、アドレス、およびデータの受け渡しが2つのコントローラ間で実行される。これにより、一方のバス上のトランザクションを他方のバス上に再現することができる。したがって、例えば第1のバスが実装されたコンピュータ本体と第2のバスが実装された拡張ユニットに2つのコントローラを分けて実装し、且つそれらコントローラ間のシリアル伝送路をケーブルにて実現することにより、コンピュータ本体と拡張ユニットとの間を、より信号線数の少ない細いケーブルで接続することが可能となる。また、第1および第2の2つのコントローラは論理的には1個のブリッジ装置を構成するものである。よって、シリアル伝送路はブリッジ装置内のローカルな内部配線に過ぎず、ソフトウェアからは認識されない。これは、シリアル伝送路に対する無駄なリソースの割り当てが行われないことを意味する。

【0012】また、論理的に単一のコントローラを物理的に2つのコントローラに分割するため、若干特別の設

計をする必要がある。そのため、動作環境を設定するためのコンフィグレーションレジスタの多くについては、2つのコントローラのそれぞれに実装し、それらに同一の環境設定情報を設定しておくことが好ましい。2つのコントローラの一方にのみコンフィグレーションレジスタを設けた場合には、他方のコントローラについては、トランザクション処理を行う度にシリアル伝送路を介して相手のコントローラのコンフィグレーションレジスタをリードしなければならず、それによってシステム性能の低下が招かれる。コンフィグレーションレジスタを必要に応じて2つのコントローラに個別に実装することにより、2つのコントローラは、それぞれ自身のコンフィグレーションレジスタに設定されている環境設定情報にしたがって動作することができるので、高速動作が可能となる。

【0013】また、シリアル伝送路を介したシリアル転送にはバスクロックよりも高速のクロックを利用することが必要となるため、耐ノイズ性を向上させるための対策が必要となる。そこで、シリアル伝送路としては、トランスが挿入された差動信号線対を利用することが好ましい。トランスを挿入することにより信号のDC成分の伝達をカットできるので、静電気のような外来性のコモンモードノイズに対する耐ノイズ性能の向上を図ることが可能となる。

【0014】また、トランスが挿入された差動信号線対を利用する場合には、その特性上、送信信号に関して十分なDCバランスを保証することが重要となる。トランスの磁気飽和や、トランスの2次側における信号のオフセットレベルのシフトを防止するためである。このため、シリアル転送には、シリアルデータを構成する各2値データを、トランスに正方向の電流が流れる第1の状態と、トランスに負方向の電流が流れる第2の状態と、トランスに電流が流れない第3の状態とを含む3値データに変換して送信する方式を利用することが好ましい。例えば、2値データの値が変化する度に第1の状態と第2の状態を交互に切り替えて出力し、同じ値の2値データが続くときは第3の状態を出力するといった制御や、あるいは2値データの値が“0”の時に第3の状態を出力し、“1”の時に第1の状態と第2の状態を交互に切り替えて出力する制御等により、十分なDCバランスを保証することが可能となる。

【0015】また、上述のような3値方式の代わりに、トランザクションを伝達するために必要な情報を、 n ビットの情報ワード単位で m ビット ($m > n$) の符号列に符号化して送信する $nBmB$ 方式を利用することもできる。各情報ワードを、“1”の数と“0”の数の割合が等しい符号列に変換して送信することにより、十分なDCバランスを保証することが可能となる。

【0016】また、前記第1および第2の各コントローラは、前記第1および第2の対応する一方のバス上のデ

バスと同一の第1クロックに同期して動作し、前記対応するバスとの間でトランザクションを授受するバスインターフェイス手段と、前記第1クロックとは非同期の第2クロックに同期して動作し、前記シリアル伝送を介したシリアル転送を実行するシリアル転送手段とから構成することが好ましい。

【0017】第1クロックはバスクロックであるので、その周波数はバス仕様で決められた標準的な値に設定することが必要とされる。また、バスクロックは省電力制御のために停止されることもある。バスインターフェイス手段とシリアル転送手段とを非同期で動作させることにより、第1クロックの周波数およびバスの状態などに影響されることなく、シリアル転送の性能を自由に決定することが可能となる。

【0018】また、前記第1のコントローラのバスインターフェイス手段と前記第2のコントローラのバスインターフェイス手段も互いに非同期で動作させることが好ましい。このように、シリアル伝送路の両端でクロックを非同期にすることにより、シリアル転送に起因する伝送遅延によらず、正確なトランザクション伝達が可能となる。

【0019】また、前記シリアル伝送路は、信号伝送方向が互いに逆向きの少なくとも1組の単方向シリアル伝送線路を含む全二重通信線路から構成し、前記各単方向シリアル伝送線路は、前記コマンド、アドレス、およびデータをシリアル転送するためのシリアルデータ線と、それに対応するクロック信号を転送するためのクロック信号線とを含むことを特徴とする。これにより、シリアル伝送路を用いて全二重通信線を実現でき、且つクロック信号線をシリアルデータ線と別個に設けることにより、クロック情報をデータに埋め込んで送信する場合に比し、十分に高速なシリアル転送を実現することが可能となる。

【0020】

【発明の実施の形態】以下、図面を参照して、本発明の実施形態を説明する。図1には、本発明の一実施形態に係るコンピュータシステムの構成が示されている。このコンピュータシステムはノートブックタイプのパーソナルコンピュータ（PC）であり、そのPC本体100と、このPC本体100にケーブル接続して使用可能な機能拡張用のドッキングステーション200とから構成されている。ケーブル内の信号線は、図示のようにシリアル転送路300から構成されている。シリアル転送路300は、LVDS（Low Voltage Differential Signal）線路、I²Cバス、およびその他のシリアル制御信号線から構成されている。

【0021】LVDS線路は、PC本体100内のPCIバス2とドッキングステーション200内のPCIバス4との間をシリアル接続するために使用されるシリアル伝送路である。このシリアル伝送路を介した高速ビッ

トシリアル信号転送によって、PC本体100のPCIバス2とドッキングステーション200内のPCIバス4との間のバストランザクションの受け渡しが行われる。

【0022】PC本体100には、図示のように、プロセッサバス1、PCIバス2、ISAバス3、CPU11、ホストPCIブリッジ12、主メモリ13、表示コントローラ14、プライマリPCIシリアル転送コントローラ15、PCI-ISAブリッジ16、I/Oコントローラ17、各種ISAデバイス18、埋め込みコントローラ（EC）19、およびその他の各種コントローラ20等から構成されている。

【0023】CPU11は本PCシステム全体の動作を制御するためのものであり、主メモリ13にロードされるオペレーティングシステム、システムBIOS、および他の各種プログラムを実行する。ホストPCIブリッジ12は、CPUバス1とプライマリPCIバス2を双方向で接続するブリッジ装置であり、ここには主メモリ13をアクセス制御するためのメモリコントロールロジック、および表示コントローラ14との接続に使用されるAGPの制御ロジックも内蔵されている。ホストPCIブリッジ12はプライマリPCIバス2上のバスマスタとして機能することが出来る。主メモリ13は、オペレーティングシステム、処理対象のアプリケーションプログラム/ユーティリティ、およびアプリケーションプログラム等によって作成されたユーザデータ等を格納する。

【0024】プライマリPCIシリアル転送コントローラ15は、ドッキングステーション200内に設けられたセカンダリPCIシリアル転送コントローラ35と共同して論理的に1個のPCI-PCIブリッジ装置を構成するものである。このPCI-PCIブリッジ装置は、PC本体100内のPCIバス2とドッキングステーション200内のPCIバス4との間を双方向で接続するためのものであり、PCIバス2上のデバイスがPCIバス4上のデバイスをアクセスすること、およびその逆を可能にする。PCI-PCIブリッジ装置から見てホスト側に近い方のPCIバス2はPCI-PCIブリッジ装置のプライマリPCIバスとなり、遠い方のPCIバス4はPCI-PCIブリッジ装置のセカンダリPCIバスとなる。すなわち、本実施形態においては、プライマリPCIバス2とセカンダリPCIバス4をつなぐPCI-PCIブリッジ装置を、物理的に異なる2個のコントローラ（プライマリPCIシリアル転送コントローラ15、セカンダリPCIシリアル転送コントローラ35）に分割し、その間をLVDS線路で接続することによって、PCIシリアルインターフェイスを実現している。

【0025】PCI-ISAブリッジ16は、PCIバス2とISAバス3をつなぐブリッジであり、PCI

バス2のバスマスタとして動作することができる。ISAバス3上には、各種ISAデバイス18が接続されている。I/Oコントローラ17は、PCIバス2上のバスマスタまたはターゲットとして機能するデバイスである。PCカードコントローラ、IDEコントローラ、サウンドコントローラなどのデバイスが、I/Oコントローラ17としてPCIバス2上に接続される。

【0026】埋め込みコントローラ(EC)19はPC本体100の電源制御を行うと共に、ドッキングステーション200内に設けられたドッキングステーションコントローラ(DSC)36との通信によって、ドッキングステーション200のドック・アンドドックシーケンスの制御を行う。

【0027】ドッキングステーション20には、図示のように、PCIバス4、ネットワークインターフェイスコントローラ31、PCカードコントローラ32、IDEコントローラ33、PCIスロット34、セカンダリPCIシリアル転送コントローラ35、ドッキングステーションコントローラ(DSC)36、その他のコントローラ37等が設けられている。

【0028】ネットワークインターフェイスコントローラ31はLANに接続するための通信制御を行うためのものであり、PCIバス4上のバスマスタまたはターゲットとして機能する。PCカードコントローラ32は、PCカードスロットに装着されたPCMCIA/CARDBUS仕様のPCカードの制御を行う。このPCカードコントローラ32も、PCIバス4上のバスマスタまたはターゲットとして機能する。IDEコントローラ33は、ドッキングステーション20内に設けられた例えばハードディスクドライブやCD-ROMドライブなどのIDEデバイスを制御するものであり、PCIバス4上のバスマスタまたはターゲットとして機能する。PCIスロット34には、各種PCI拡張カードを装着することができる。

【0029】PC本体100をドッキングステーション200に接続した場合には、これらネットワークインターフェイスコントローラ31、PCカードコントローラ32、IDEコントローラ33、PCIスロット34のPCI拡張カードといったPCIデバイスを、PC本体100内のハードウェアリソースとして使用することが可能となる。

【0030】(PCI-PCIブリッジ)図2には、プライマリPCIシリアル転送コントローラ15およびセカンダリPCIシリアル転送コントローラ35それぞれの機能構成が示されている。

【0031】前述したように、プライマリPCIシリアル転送コントローラ15およびセカンダリPCIシリアル転送コントローラ35は物理的には独立したLSI同士であるが、論理的には1個のPCI-PCIブリッジとして機能する。よって、プライマリPCIシリアル転

送コントローラ15とセカンダリPCIシリアル転送コントローラ35間をつなぐLVDS線路は、PCI-PCIブリッジ内のローカルな内部配線に過ぎず、ソフトウェアからは認識されない。これは、シリアル伝送路に対する無駄なリソースの割り当てが行われないことを意味する。また、プライマリPCIシリアル転送コントローラ15およびセカンダリPCIシリアル転送コントローラ35には、同一のデバイス識別情報が割り当てられており、ソフトウェアからは1個のデバイスとして認識される。もちろん、プライマリPCIシリアル転送コントローラ15およびセカンダリPCIシリアル転送コントローラ35の2つのコントローラが1個のデバイスとして認識されればよいので、デバイス識別情報についてはプライマリPCIシリアル転送コントローラ15のみに持たせてもよい。

【0032】プライマリPCIシリアル転送コントローラ15およびセカンダリPCIシリアル転送コントローラ35の各々は、PCIインターフェイス部と、シリアル転送インターフェイス部とから構成されている。

【0033】プライマリPCIシリアル転送コントローラ15においては、PCIインターフェイス部は、プライマリPCIバス2との間でバストランザクションを授受する。一方、セカンダリPCIシリアル転送コントローラ35においては、PCIインターフェイス部は、セカンダリPCIバス4との間でバストランザクションを授受する。PCIインターフェイス部間のトランザクションの授受は、プライマリPCIシリアル転送コントローラ15およびセカンダリPCIシリアル転送コントローラ35にそれぞれ設けられたシリアル転送インターフェイス部間のシリアルデータ転送によって行われる。

【0034】PCIバスは多ビット幅のアドレス/データ線等を含む並列伝送路であり、PCIバス上のバストランザクションは、基本的には、コマンドおよびアドレス出力のためのアドレスフェーズと、それに後続する1以上のデータ転送フェーズとから構成される。したがって、各PCIインターフェイス部が対応するPCIバスとの間でコマンド、アドレス、データの受け渡しを行い、且つPCIインターフェイス部間のコマンド、アドレス、データの授受をシリアル転送インターフェイス部間のシリアル転送によって行うことによって、プライマリPCIバス2からセカンダリPCIバス4へのトランザクションの伝達、およびセカンダリPCIバス4からプライマリPCIバス2へのトランザクションの伝達が可能となる。

【0035】プライマリPCIバス2上のバスマスタからセカンダリPCIバス4上のデバイスへのトランザクションを伝達する場合には、プライマリPCIシリアル転送コントローラ15はプライマリPCIバス2上で実行されるトランザクションのターゲットとなり、セカンダリPCIシリアル転送コントローラ35はセカンダリ

PCIバス4上で実行されるトランザクションのイニシエータ（バスマスタ）となる。一方、セカンダリPCIバス4上のバスマスタからプライマリPCIバス2上のデバイスへのトランザクションを伝達する場合には、セカンダリPCIシリアル転送コントローラ35はセカンダリPCIバス4上で実行されるトランザクションのターゲットとなり、プライマリPCIシリアル転送コントローラ15はプライマリPCIバス2上で実行されるトランザクションのイニシエータとなる。なお、セカンダリPCIバス4上にバスマスタデバイスが存在しない場合には、前者の場合のみとなる。

【0036】プライマリPCIシリアル転送コントローラ15およびセカンダリPCIシリアル転送コントローラ35のPCIインターフェイス部には、図示のように、個別にコンフィグレーションレジスタ150、350が設けられている。コンフィグレーションレジスタ150、350の各々はPCI仕様に準拠したレジスタ群から構成されており、ここには、同一の環境設定情報が設定される。

【0037】環境設定情報には、前述のデバイス識別情報を初め、そのデバイスが使用するメモリアドレス空間やI/Oアドレス空間などのハードウェアリソースを指定するためのデバイス制御情報、現在のデバイスの状態を示すデバイスステータス情報などが含まれている。

【0038】デバイス識別情報はそのデバイスの種類を識別するためのものであり、デバイスID、ベンダID、リビジョンID、ヘッダタイプ、クラスコードなどの情報から構成されている。デバイス識別情報は読み取り専用であり、コンフィグレーションレジスタ150、350には予め同一のデバイス識別情報が書き込まれている。もちろん、この読み取り専用のデバイス識別情報については、CPU11に近い側のプライマリPCIシリアルコントローラ15側のみ用意しておけばよく、セカンダリPCIシリアルコントローラ35側に設ける必要はない。CPU11によるコンフィグレーションサイクルでアクセスされるのはプライマリPCIシリアルコントローラ15側だけであり、そのプライマリPCIシリアルコントローラ15からのデバイス識別情報の読み取りによって、PCIバス2と4との間にPCI-PCIブリッジが存在することが認識されるからである。

【0039】コンフィグレーションレジスタはPCIデバイスの動作環境を規定するための環境設定情報を保持するためのものであり、PCIデバイスには必ず1個のコンフィグレーションレジスタが設けられる。プライマリPCIシリアル転送コントローラ15およびセカンダリPCIシリアル転送コントローラ35は1個のPCIデバイス（PCI-PCIブリッジ）として動作するものである。基本的には、前述したように、1個のコンフィグレーションレジスタをコントローラ15、35間で共用することもできる。しかし、このように一方の

コントローラにのみコンフィグレーションレジスタを設けた場合には、コンフィグレーションレジスタが設けられていない方のコントローラについては、トランザクション処理を行う度にシリアル伝送路を介して相手のコントローラのコンフィグレーションレジスタをリードしなければならない、それによってシステム性能の低下が招かれる。本実施形態のようにコンフィグレーションレジスタを2つのコントローラ15、35に個別に実装することにより、2つのコントローラ14、35は、それぞれ自身のコンフィグレーションレジスタに設定されている環境設定情報にしたがって動作することができるので、高速動作が可能となる。この場合、2つのコントローラ14、35のそれぞれに設けるのは、読み取り専用のデバイス識別情報を設定するためのレジスタを除く、他のほとんどのレジスタ群（デバイス制御情報を設定するためのレジスタ群、現在のデバイスの状態を示すデバイスステータス情報を設定するためのレジスタ群等）である。

【0040】コンフィグレーションレジスタ150と350の内容の同一性は、次のようなコピー動作をプライマリPCIシリアル転送コントローラ15とセカンダリPCIシリアル転送コントローラ35との間で自動実行することによって実現される。すなわち、CPU11がコンフィグレーションレジスタ150にデータを書き込むためのライトトランザクション（コンフィグレーションライトサイクル）を実行した場合には、コンフィグレーションレジスタ150からコンフィグレーションレジスタ350に対するコピー動作が自動的に行われ、その後、CPU11に対して書き込み完了を示すステータスが返される。これにより、常に、コンフィグレーションレジスタ150と350の内容を同一に保つことができる。

【0041】（2つのPCIシリアル転送コントローラの内部構造）次に、図3を参照して、プライマリPCIシリアル転送コントローラ15およびセカンダリPCIシリアル転送コントローラ35それぞれの内部構造を、論理的なプロトコル階層構造に着目して説明する。

【0042】プライマリPCIシリアル転送コントローラ15は、図示のように、トランザクションバッファ201、バスサイクルコントローラ202、ブロック転送バッファ202、ワードバッファ204、シリアル・パラレルコンバータ205、およびLVDS送受信部206から構成されている。

【0043】トランザクションバッファ201およびバスサイクルコントローラ202は前述のPCIインターフェイス部に相当し、またブロック転送バッファ202、ワードバッファ204、シリアル・パラレルコンバータ205、およびLVDS送受信部206が前述のシリアルインターフェイス部に相当する。

【0044】同様に、セカンダリPCIシリアル転送コ

ントローラ35は、図示のように、トランザクションバッファ301、バスサイクルコントローラ302、ブロック転送バッファ302、ワードバッファ304、シリアル・パラレルコンバータ305、およびLVDS送受信部306から構成されている。トランザクションバッファ301およびバスサイクルコントローラ302は前述のPCIインターフェイス部に相当し、またブロック転送バッファ302、ワードバッファ304、シリアル・パラレルコンバータ305、およびLVDS送受信部306が前述のシリアルインターフェイス部に相当する。

【0045】図3の右端には、本実施形態のPCIシリアルインターフェイスを実現するためのプロトコル階層構造が示されている。最上位階層は、PCIバストランザクションレイヤであり、その下が、実際にトランザクションを実行するために必要なバスサイクルを制御するためのPCIバスサイクルレイヤである。

【0046】バスサイクルレイヤから上の部分を、左右の半分を合わせて一体として実現したもの、つまり、バストランザクションバッファ202、301、およびバスサイクルコントローラ202、302を合わせたものが、通常のPCI-PCIブリッジに相当するものとなる。

【0047】図3の下半分のレイヤが、プライマリPCIシリアル転送コントローラ15とセカンダリPCIシリアル転送コントローラ35との間でシリアル通信を行うための部分である。

【0048】上半分がPCIバスのプロトコルに従って設計されるのに対し、下半分は、PCIバス上を転送されるデータを忠実に相手方へ送るのに最適となるように設計される。転送するデータがPCIバス上でどんな意味をもつかを考慮する必要はなく、そのデータがPCIバス上で持つ意味に適した転送特性を正しくアサインし、実現すればよい。通信の世界でのパケット通信に近い考え方をとることができる。

【0049】その意味では、図中のワード(WORD)が固定長のパケットに当たり、ブロック(BLOCK)は、1WORDの制御ワードと、0から10WORDのデータワードとを含む転送単位である。

【0050】ここで、各バッファの意味を説明する。

【0051】トランザクションバッファ201、301は、PCIバスサイクルをトランザクションとして管理するためのバッファであり、PCIバスサイクルと後述のブロック転送との仲立ちに使用される。トランザクションを構成する情報は、トランザクションの種類によって多少異なるが、

- ・アドレス
- ・コマンド
- ・ライトデータ(ライト系トランザクション)
- ・バイトイネーブル

・完了ステータス

・リードデータ(リード系トランザクション)

などである。これら情報はトランザクションバッファ201、301に保持される。

【0052】ブロック転送バッファ(BLOCK)204、304は、ブロックと称する可変長のデータを、2つのシリアルコントローラ15、35間でまとめて転送するための、一時的な情報格納場所である。ブロックサイズは前述したように可変長であり、基本的には、ある1つのトランザクションを構成する、アドレス、データ、コマンド、バイトイネーブルなどの情報から構成される。

【0053】ワードバッファ(WORD)204、304は、ワード(WORD)と称される固定長のデータを、2つのシリアルコントローラ15、35間でひとつづつ転送するための、一時的な情報格納場所である。ワードには制御ワードとデータワードとがある。ブロックの実体部分(PCIトランザクション情報:アドレス、コマンド、データ、バイトイネーブルなど)はデータワードとして受け渡され、それ以外の各種制御情報は制御ワードとして受け渡される。

【0054】シリアル・パラレルコンバータ205、305は、ワード単位でのパラレル/シリアル変換、およびシリアル/パラレル変換を行う。LVDS送受信部206、306は、LVDS線路を介した実際のシリアルデータ転送を行う。

【0055】(2つのPCIシリアル転送コントローラのハードウェア構成)次に、図4を参照して、2つのPCIシリアル転送コントローラそれぞれの具体的なハードウェア構成を説明する。

【0056】2つのPCIシリアル転送コントローラ15、35間のLVDS線路は、PCIシリアル転送コントローラ15から35へ向かう単方向線路と、PCIシリアル転送コントローラ35から15へ向かう単方向線路とから構成されており、全体で全二重通信路となっている。各単方向線路は、トランザクションを構成する情報をシリアル転送するためのデータ線である差動信号線対(LV DATA)と、シリアルクロック信号をシリアル転送するためのクロック線である差動信号線対(LV CLK)とを有している。これにより、データとクロックを別の信号線路で並行して伝送することのできるで、クロック情報をデータに埋め込んで送信する場合に比し、十分に高速なシリアル転送を実現することが可能となる。

【0057】なお、実際には実用的に使用できるシリアルビットクロックの速度には上限があるので、PCIバスのデータ転送速度に十分対応できるシリアル転送路の速度を実現するのが難しい場合には、たとえば各単方向線路のデータ線数とクロック線数の比率を2:1にして、シリアル転送路のデータ線数を、上り、下りとも2

本にするというような対策が有効である。

【0058】また、データ信号線の数を複数にするメリットとして、次の点も挙げられる。本実施形態のシリアル転送路では専用のクロック信号線を用いるので、直接的には情報を伝達しないオーバーヘッド信号線が物理的に存在する。従来のシリアルバスに比べ物理的なオーバーヘッド率が $1/2$ になるといえる。クロック信号線1本に対し、データ信号線2本にすれば、オーバーヘッド率が $1/3$ に下がる。しかし、データ信号線の数を増すと、クロック信号線回路とデータ信号線回路の実装条件を同じにすることが難しくなり、スキューの幅が広がるので、クロック1本当りの信号線の本数は4以下にするのが妥当である。

【0059】＜プライマリPCIシリアル転送コントローラ15＞プライマリPCIシリアル転送コントローラ15は、図示のように、PCIインターフェイス部151、送信用バッファ152、パラレル／シリアル変換回路153、PLL（Phase Locked Loop）回路154、差動出力バッファ155、156、非同期ハンドシェーク回路157、差動入力バッファ158、159、シリアル／パラレル変換回路160、受信用バッファ161、PLL回路162、非同期ハンドシェーク回路163から構成されている。

【0060】PCIインターフェイス部151は前述のトランザクションバッファ201およびバスサイクルコントローラ202に相当する部分であり、プライマリPCIバス2上の他のPCIデバイスと同じく、PCIクロック#1に同期して動作する。PCIクロック#1は、プライマリPCIバス2上の全てのPCIデバイスに共通のバスクロックである。

【0061】送信用バッファ152、パラレル／シリアル変換回路153、PLL（Phase Locked Loop）回路154、および差動出力バッファ155、156は、送信用シリアル転送インターフェイス部として機能する。この送信用シリアル転送インターフェイス部は、PCIクロック#1とは非同期のパラレル送信クロック#1、およびそのパラレル送信クロック#1をPLL154で通倍することによって得られる高速のシリアル送信クロックに同期して動作する。

【0062】送信用バッファ152は前述のブロック転送バッファ（BB）とワードバッファ（WB）から構成されており、ここには、トランザクションを伝達するための情報が保持される。パラレル／シリアル変換回路153は、PLL回路154によって得られたシリアル送信クロックに同期して動作し、ワードバッファ（WB）上に用意されたパラレルデータをシリアルデータに変換して、差動出力バッファ155に出力する。差動出力バッファ155はデータ送信用の差動信号線対（LV DATA）を駆動するためのドライバであり、パラレル／シリアル変換回路153によって得られたシリアルデー

タを、データ送信用の差動信号線対（LV DATA）を介してセカンダリPCIシリアル転送コントローラ35に送信する。差動出力バッファ156は、クロック送信用の差動信号線対（LV CLK）を駆動するためのドライバであり、差動出力バッファ155によるシリアルデータ転送と並行して、それに対応するクロック信号、つまりPLL回路154によって得られたシリアル送信クロックをクロック送信用の差動信号線対（LV CLK）を介してセカンダリPCIシリアル転送コントローラ35に送信する。

【0063】このように、送信用シリアル転送インターフェイス部は、PCIインターフェイス部151と非同期で動作するように構成されている。非同期ハンドシェーク回路157は、このように異なるクロックで動作する領域間のインターフェイスを、ハンドシェークによって行う。具体的には、非同期ハンドシェーク回路157は、PCIインターフェイス部151のトランザクションバッファ201側と、送信用バッファ152内のブロック転送バッファ203側にそれぞれ設けられ、トランザクションバッファ201から送信要求を受け取ると、その要求された送信が完了したときに、それを示す完了通知をブロック転送バッファ203からトランザクションバッファ201に返すという処理を行う。完了通知を受け取るまで、トランザクションバッファ201による次の送信要求の発行は待たされる。

【0064】差動入力バッファ158、159、シリアル／パラレル変換回路160、受信用バッファ161、PLL回路162は、受信用シリアルインターフェイス部として機能する。差動入力バッファ158は、差動信号線対（LV DATA）からデータを受信するためのレシーバであり、受信したシリアルデータをシリアル／パラレル変換回路160に渡す。この差動入力バッファ158によるシリアルデータの実受信動作と並行して、差動入力バッファ159は、クロック送信用の差動信号線対（LV CLK）を介してシリアル送信クロックを受信し、その受信したシリアル送信クロックをPLL回路162に渡す。

【0065】PLL回路162は、差動入力バッファ159で受信されたシリアル送信クロックを基にセカンダリPCIシリアル転送インターフェイス35側のクロック（パラレル送信クロック、シリアル送信クロック）を再生する。シリアル／パラレル変換回路160は、再生されたシリアル送信クロックで動作し、差動入力バッファ158によって受信されたシリアルデータをパラレルデータに変換し、受信用バッファ161に書き込む。受信用バッファ161は、前述のワードバッファ（WB）およびブロック転送バッファ（BB）に相当するものであり、再生されたパラレル送信クロックで動作する。

【0066】受信用バッファ161のブロック転送バッファと、PCIインターフェイス部151のトランザク

ションバッファとの間の情報の受け渡しは、非同期ハンドシェイク回路163によるハンドシェイクにより、非同期で行われる。

【0067】セカンダリPCIシリアル転送コントローラ35<セカンダリPCIシリアル転送コントローラ35は、図示のように、PCIインターフェイス部351、送信用バッファ352、パラレル/シリアル変換回路353、PLL回路354、差動出力バッファ355、356、非同期ハンドシェイク回路357、差動入力バッファ358、359、シリアル/パラレル変換回路360、受信用バッファ361、PLL回路362、非同期ハンドシェイク回路363から構成されている。

【0068】PCIインターフェイス部351は前述のトランザクションバッファ301およびバスサイクルコントローラ302に相当する部分であり、セカンダリPCIバス4上の他のPCIデバイスと同じく、PCIクロック#2に同期して動作する。PCIクロック#2は、セカンダリPCIバス4上の全てのPCIデバイスに共通のバスクロックである。

【0069】本実施形態においては、PCIクロック#1と#2は互いに独立したクロック発振器から発生される。これにより、PCIクロック#1と#2は、周波数は同じであるが、基本的には非同期である。よって、プライマリPCIシリアル転送コントローラ15のPCIインターフェイス部351と、セカンダリPCIシリアル転送コントローラ35のPCIインターフェイス部351は非同期で動作する。このように、1つのブリッジを構成する2つのコントローラ15、35間でPCIクロックを非同期にする事により、シリアル伝送路の両端のPCIインターフェイス部同士が互いに非同期で動作することができるので、シリアル転送に起因する伝送遅延によらず、正確なトランザクション伝達が可能となる。

【0070】送信用バッファ352、パラレル/シリアル変換回路353、PLL回路354、および差動出力バッファ355、356は、送信用シリアル転送インターフェイス部として機能する。この送信用シリアル転送インターフェイス部は、PCIクロックとは非同期のパラレル送信クロック#2、およびそのパラレル送信クロックをPLL354で逡倍することによって得られる高速のシリアル送信クロックに同期して動作する。パラレル送信クロック#1と#2も互いに独立したクロック発振器から発生される。これにより、パラレル送信クロック#1と#2は、周波数は同じであるが、基本的には非同期である。

【0071】送信用バッファ352は前述のブロック転送バッファ(BB)とワードバッファ(WB)から構成されており、ここには、トランザクションを伝達するための情報が保持される。パラレル/シリアル変換回路353は、PLL回路354によって得られたシリアル送

信クロックに同期して動作し、ワードバッファ(WB)上に用意されたパラレルデータをシリアルデータに変換して、差動出力バッファ355に出力する。

【0072】差動出力バッファ355はデータ送信用の差動信号線対(LV DATA)を駆動するためのドライバであり、パラレル/シリアル変換回路353によって得られたシリアルデータを、データ送信用の差動信号線対(LV DATA)を介してプライマリPCIシリアル転送コントローラ15に送信する。この差動出力バッファ355によるシリアルデータ転送と並行して、差動出力バッファ356は、そのシリアルデータ転送に対応するクロック信号、つまりPLL回路354によって得られたシリアル送信クロックをクロック送信用の差動信号線対(LVCLK)を介してプライマリPCIシリアル転送コントローラ15に送信する。

【0073】非同期ハンドシェイク回路357は、このように異なるクロックで動作する領域間のインターフェイスを行う。具体的には、非同期ハンドシェイク回路357は、PCIインターフェイス部351のトランザクションバッファ301側と、送信用バッファ352内のブロック転送バッファ303側にそれぞれ設けられ、トランザクションバッファ301から送信要求を受け取ると、その要求された送信が完了したときに、それを示す完了通知をブロック転送バッファ303からトランザクションバッファ301に返すという処理が行われる。完了通知を受け取るまで、トランザクションバッファ301による次の送信要求の発行は待たされる。

【0074】差動入力バッファ358、359、シリアル/パラレル変換回路360、受信用バッファ361、PLL回路362は、受信用シリアルインターフェイス部として機能する。差動入力バッファ358は、差動信号線対(LV DATA)を介してシリアルデータを受信し、その受信したシリアルデータをシリアル/パラレル変換回路360に渡す。この差動入力バッファ358によるシリアルデータの受信動作と並行して、差動入力バッファ359は、クロック送信用の差動信号線対(LVCLK)を介してシリアル送信クロックを受信し、その受信したシリアル送信クロックをPLL回路362に渡す。PLL回路362は、差動入力バッファ359で受信されたシリアル送信クロックを基にプライマリPCIシリアル転送インターフェイス15側のクロック

(パラレル送信クロック、シリアル送信クロック)を再生する。シリアル/パラレル変換回路360は、再生されたシリアル送信クロックで動作し、差動入力バッファ358によって受信されたシリアルデータをパラレルデータに変換し、受信用バッファ361に書き込む。受信用バッファ361は、前述のワードバッファ(WB)およびブロック転送バッファ(BB)に相当するものであり、再生されたパラレル送信用クロックで動作する。受信用バッファ361のブロック転送バッファと、PCI

インターフェイス部351のトランザクションバッファとの間の情報の受け渡しは、非同期ハンドシェイク回路363によって非同期で行われる。

【0075】（シリアル転送方式1）次に、LVDS線を介してシリアル転送を行うための具体的な方式について説明する。

【0076】図5は、差動信号線対から構成されるシリアル伝送路にトランスを挿入し、且つシリアル伝送路の駆動を疑似3値方式で行う場合のハードウェア構成を示している。以下、データ送信用の差動信号線対（LV DATA）に対応する部分の構成についてのみ説明するが、クロック送信用の差動信号線対（LV CLK）についても同様の構成を適用することができる。

【0077】図5に示されているように、PCIシリアル転送コントローラ15から35へ向かう下りの差動信号線対（LV DATA）にはトランス（パルストランス）500が挿入されている。シリアル伝送線路300はケーブルから構成されているので、トランス500は実際には図示のように下りの差動信号線対（LV DATA）を介したシリアル転送の受信側となるセカンダリシリアル転送コントローラ35に設けられる。トランス500は信号のDC成分をカットし、AC成分のみを伝達するので、トランス500を挿入することにより、静電気のような外来性のコモンモードノイズに対する耐ノイズ性能を高めることができる。また、トランス500を挿入した場合には、次の点に注意することが必要である。

【0078】1）トランスが飽和しないように、ある一方向に電流が流れ続けないようにする。

【0079】2）トランスに加わるプラス方向の電圧の向きとマイナス方向の電圧の向きとの割合を平均化する。ある一方向の向きの電圧が発生する割合が高いと、トランスの2次側で発生する電圧波形が、電圧振幅は同じものの、電圧レベルが全体的にシフトしていくという問題を招く。

【0080】そこで、本実施形態では、プライマリPCIシリアル転送コントローラ15においては、パラレル／シリアル変換回路153と差動出力バッファ155との間に疑似3値エンコーダ501を設けている。疑似3値エンコーダ501は、シリアルデータを構成する“1”と“0”の2値データを、+V、-V、ゼロの3値に変換するための変調回路である。具体的には、2値データの値が変化する度に差動出力バッファ155から+V、-Vを交互に切り替えて出力し、同じ値の2値データが続くときは差動出力バッファ155からゼロを出力するといった制御を行う。また、2値データの値が“1”の時にゼロを出力し、“1”の時に+V、-Vを交互に切り替えて出力するようにしてもよい。

【0081】+Vの出力時には、差動出力バッファ155の正側の出力端子に繋がる信号線はプラスの電位に設

定され、差動出力バッファ155の負側の出力端子に繋がる信号線はマイナスの電位に設定される。この場合、トランス500には図面上では上から下向きの正方向の電流が流れる。

【0082】-Vの出力時には、差動出力バッファ155の正側の出力端子に繋がる信号線はマイナスの電位に設定され、差動出力バッファ155の負側の出力端子に繋がる信号線はプラスの電位に設定される。この場合、トランス500には図面上では下から上向きの負方向の電流が流れる。

【0083】ゼロ出力時には、差動出力バッファ155の正側の出力端子に繋がる信号線と負側の出力端子に繋がる信号線は同電位となり、トランス500には電流が流れない。

【0084】セカンダリPCIシリアル転送コントローラ35においては、図示のように、トランス500の2次側に2つの差動入力バッファ358a、358bが並列に設けられる。2つの差動入力バッファ358a、358bにより、+V、-V、ゼロの3値を検出することができる。

【0085】図6には、差動出力バッファ155の出力（OUT）と差動入力バッファ358a、358bで検出される値（IN1、IN2）との関係が示されている。OUTは電氣的な状態を示しており、IN1、IN2は論理値を示している。

【0086】OUTが+Vの場合には、差動入力バッファ358a、358bは共に“1”を出力する（IN1、IN2=“1”）。OUTが-Vの場合には、差動入力バッファ358a、358bは共に“0”を出力する（IN1、IN2=“0”）。OUTがゼロの場合には、差動入力バッファ358aは“0”、358bは“1”を出力する（IN1=“0”、IN2=“1”）。IN1、IN2の論理値は、疑似3値デコーダ502によってデコードされ、2値データに戻される。デコード方法は、疑似3値エンコーダ501のエンコード方法に対応して決定される。

【0087】PCIシリアル転送コントローラ35から15へ向かう上りの差動信号線対（LV DATA）にもトランス（パルストランス）600が挿入されている。下りの差動信号線対の場合と同様に、セカンダリPCIシリアルインターフェイス35側には、パラレル／シリアル変換回路353と差動出力バッファ355との間に疑似3値エンコーダ601が設けられ、またプライマリPCIシリアル転送コントローラ15側には、トランス600とシリアル／パラレル変換回路160との間に2つの差動入力バッファ158a、158bと疑似3値デコーダ602が設けられる。

【0088】このような疑似3値方式を用いてシリアル転送を行うことにより、十分なDCバランスを保証することが可能となり、トランスの磁気飽和や、トランスの

2次側における信号のオフセットレベルのシフトの問題を解決することができる。

【0089】(シリアル転送方式2)図7には、疑似3値方式の代わりに、トランザクションを伝達するために必要な情報を、 n ビットの情報ワード単位で m ビット($m > n$)の符号列に符号化して送信するという $nBmB$ 方式を利用した場合の構成図である。

【0090】図7に示されているように、PCIシリアル転送コントローラ15から35へ向かう下りの差動信号線対(LV DATA)にはトランス(パルストランス)700が挿入されている。シリアル伝送線路300はケーブルから構成されているので、トランス700は図5の場合と同様に、受信側となるセカンダリシリアル転送コントローラ35に設けられる。

【0091】プライマリPCIシリアル転送コントローラ15においては、パラレル/シリアル変換回路153の前段に9B10Bエンコーダ701が設けられ、セカンダリPCIシリアル転送コントローラ35においては、シリアル/パラレル変換回路360の次段に9B10Bデコーダ702が設けられている。

【0092】9B10Bエンコーダ701は、8ビットの情報と1ビットのパリティから構成される9ビットの情報ワードを、10ビットの符号列に変換する。この変換は、9ビットデータで表される512個のデータのそれぞれを、10ビットの符号列で表される1024個のデータの内から予め選択された512個のデータに1対1で割り当てることによって、実現される。具体的には、図8(A)に示すように、9ビットの入力値に応じて10ビットのデータを出力するテーブルなどを利用すればよい。10ビットの符号列で表される1024個のデータの内、“1”の数と“0”の数の割合が比較的等しいデータのみを使用することにより、十分なDCバランスを保證することが可能となる。シリアル転送された10ビットの符号列は、図8(B)に示すような9B10Bデコーダ702によって元の9ビットの情報ワードに戻される。

【0093】PCIシリアル転送コントローラ35から15へ向かう上りの差動信号線対(LV DATA)にもトランス(パルストランス)800が挿入されている。下りの差動信号線対の場合と同様に、セカンダリPCIシリアルインターフェイス35側には9B10Bエンコーダ801が設けられ、プライマリPCIシリアル転送コントローラ15側には、9B10Bエンコーダ802が設けられる。

【0094】(適用例)以上説明した本実施形態のPCIシリアルインターフェイスの仕組みは、PC本体100とドッキングステーション200との間のバス接続に限らず、2つのドッキングステーション間のバス接続にも使用することができる。例えば、PC本体100に2台のドッキングステーションを縦続接続できるようにド

ッキングシステムの場合には、1段目のドッキングステーションと2段目のドッキングステーションとの間のバス接続に使用することもできる。また、2台のPC本体間をバス接続すれば、LANなどのネットワークを介さずに、それらPC間で資源を共有することも可能となる。いずれの場合も、シリアル伝送路はケーブルによって実現することができるので、容易に機能拡張を行うことができる。

【0095】また、本実施形態では、上りと下りが対称(同じ)の場合を示したが、システム設計によっては、両者の伝送路が、同期/非同期、バスのデータ幅、バス・プロトコル、電気的インタフェース、などの点で異なる方が望ましい場合も考えられる。

【0096】また、本実施形態ではシリアル伝送路をケーブルとして実現する場合を説明したが、シリアル伝送路は、コネクタ、基板上の配線パターン、電波、赤外線、超音波、LSIの内部の配線など種々の形態で実現することができる。

【0097】

【発明の効果】以上説明したように、本発明によれば、コンピュータ本体と拡張ユニットとの間をより信号線数の少ないケーブルで接続できるようになると共に、ケーブルへの無駄なリソース割り当ても不要となり、機能拡張性および筐体構造の柔軟性に優れたコンピュータシステムを実現することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係るコンピュータシステムの構成を示すブロック図。

【図2】同実施形態で使用されるPCI-PCIブリッジの構成を示すブロック図。

【図3】同実施形態で使用されるプライマリPCIシリアル転送コントローラおよびセカンダリPCIシリアル転送コントローラそれぞれの内部構造を示すブロック図。

【図4】同実施形態で使用されるプライマリPCIシリアル転送コントローラおよびセカンダリPCIシリアル転送コントローラそれぞれの具体的なハードウェア構成を示すブロック図。

【図5】同実施形態で使用されるシリアル転送方式を説明するためのブロック図。

【図6】図5のシリアル転送方式における入出力値の関係を説明するための図。

【図7】同実施形態で使用されるシリアル転送方式の第2の例を説明するためのブロック図。

【図8】図7のシリアル転送方式で用いられる9B10Bエンコーダ/デコーダの原理を説明するための図。

【符号の説明】

2…プライマリPCIバス

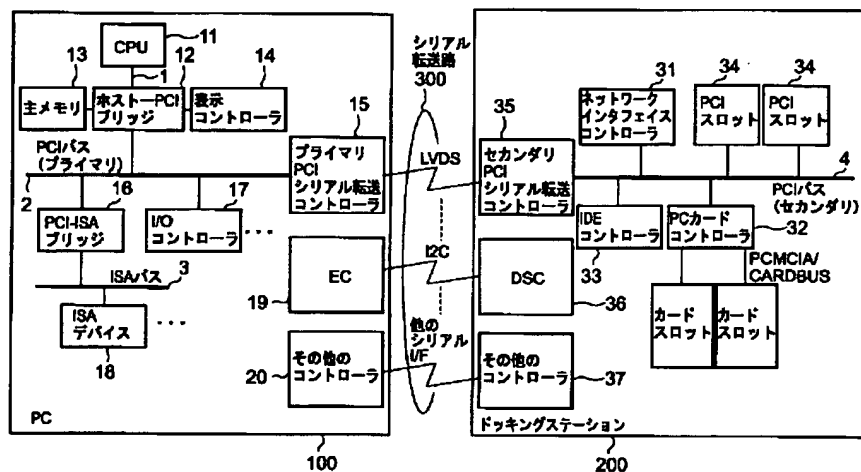
4…セカンダリPCIバス

11…CPU

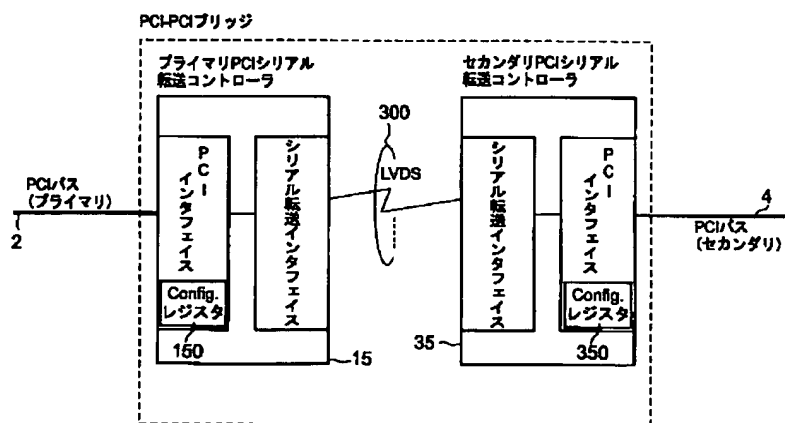
15…プライマリPCIシリアル転送コントローラ
 35…セカンダリPCIシリアル転送コントローラ
 100…PC本体
 150, 350…コンフィグレーションレジスタ
 151, 351…PCIインターフェイス部
 152, 352…送信用バッファ
 153, 353…パラレル/シリアル変換回路
 155, 156, 355, 356…差動出力バッファ

158, 159, 358, 359…差動入力バッファ
 161, 361…受信用バッファ
 500, 600, 700, 800…トランス
 501, 601…疑似3値エンコーダ
 502, 602…疑似3値デコーダ
 701, 801…9B10Bエンコーダ
 702, 802…9B10Bデコーダ

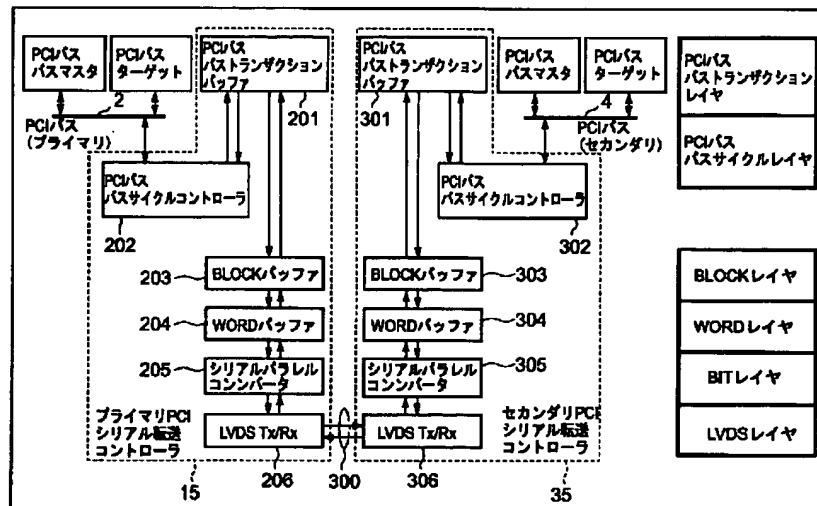
【図1】



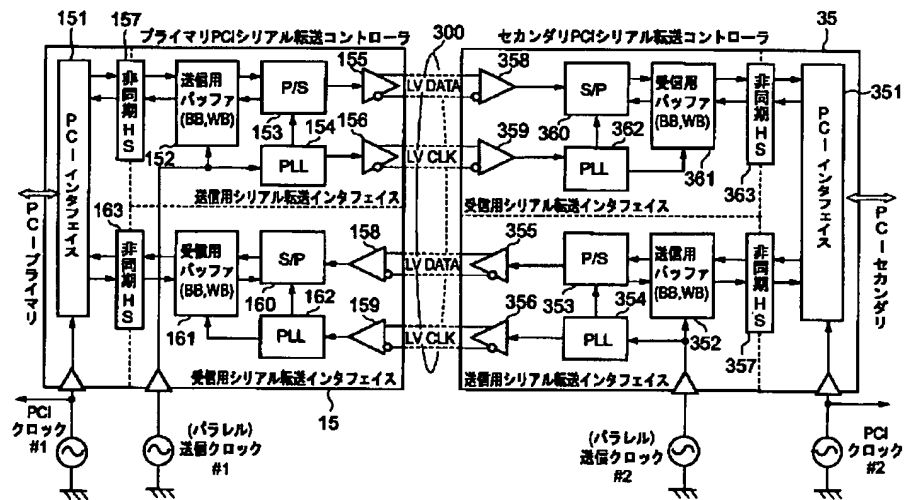
【図2】



【図 3】



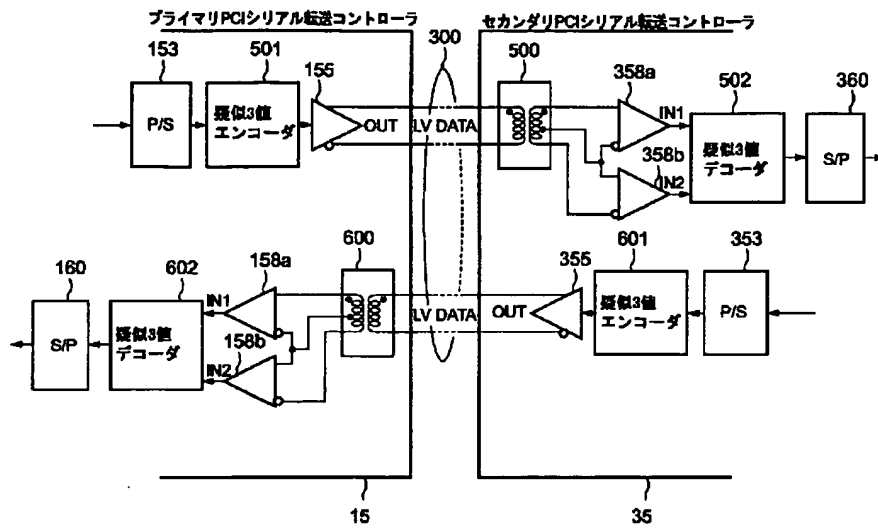
【図 4】



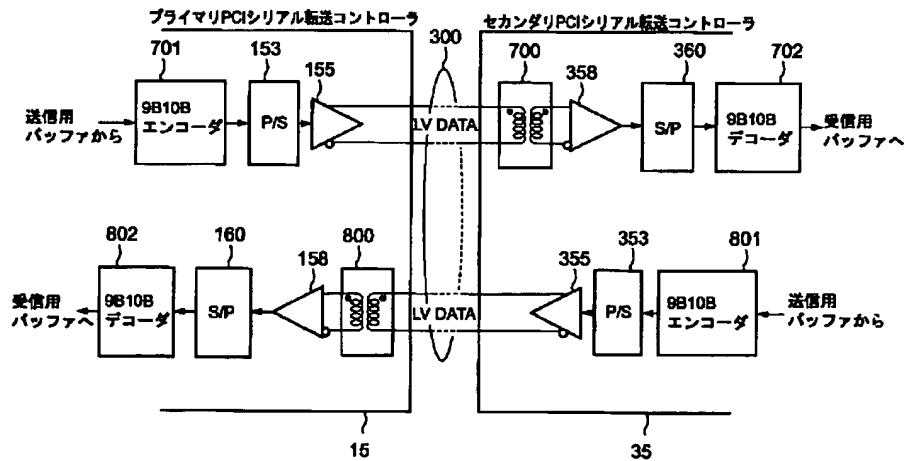
【図 6】

OUT	IN1	IN2
+V	"1"	"1"
-V	"0"	"0"
ゼロ	"0"	"1"

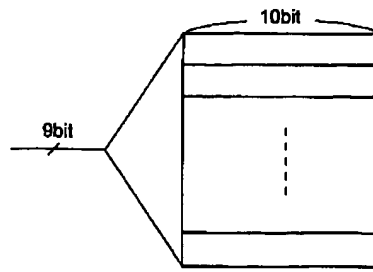
【図5】



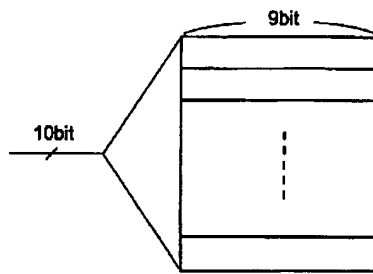
【図7】



【図 8】



(A)



(B)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.